

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-231088

(43)Date of publication of application : 29.08.1995

(51)Int.Cl.

H01L 29/78

(21)Application number : 06-020904

(71)Applicant : NISSAN MOTOR CO LTD

(22)Date of filing : 18.02.1994

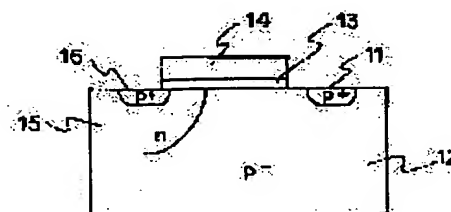
(72)Inventor : KURAISON TORONNAMUCHIYAI

(54) MIS-TYPE FIELD EFFECT TRANSISTOR

(57)Abstract:

PURPOSE: To increase the gate drive capacitor by using a gate insulation film where the product of the specific dielectric constant and the breakdown voltage exceeds a specific value and the face orientation of Si substrate is (110) and the migrating carriers are holes.

CONSTITUTION: A film consisting of a high dielectric constant material where the product $\epsilon \cdot E$ of a specific dielectric constant ϵ and a breakdown electric field E exceeds 50MM/cm is used for a gate insulation film 13. Also, the face orientation of the Si substrate surface where channels are formed is (110) and carriers migrating in the channels due to electric field are holes. Using this sort of high dielectric constant material as the gate insulation film 13, the electric field inside the gate insulation film 13 is reduced by the dielectric polarization when electric field is applied externally. Therefore, when the value is smaller than the breakdown voltage of the high dielectric constant material, no dielectric breakdown occurs.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-231088

(43) 公開日 平成7年(1995)8月29日

(51) Int.Cl.⁶

H 0 1 L 29/78

識別記号

庁内整理番号

F I

技術表示箇所

7514-4M

H 0 1 L 29/78

3 0 1 G

審査請求 未請求 請求項の数3 O L (全 5 頁)

(21) 出願番号

特願平6-20904

(22) 出願日

平成6年(1994)2月18日

(71) 出願人 000003997

日産自動車株式会社

神奈川県横浜市神奈川区宝町2番地

(72) 発明者 クライソン トロンナムチャイ

神奈川県横浜市神奈川区宝町2番地 日産
自動車株式会社内

(74) 代理人 弁理士 中村 純之助 (外1名)

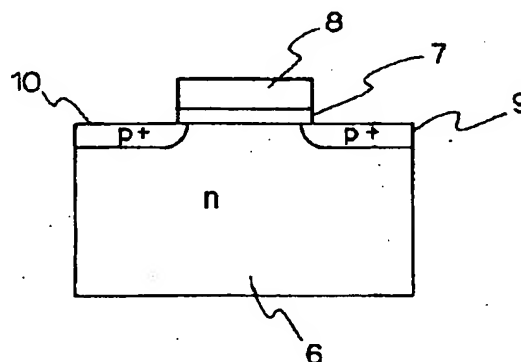
(54) 【発明の名称】 M I S 形電界効果トランジスタ

(57) 【要約】

【目的】 ゲート絶縁膜に用いる絶縁材料を吟味して、ゲートの駆動能力を高めたM I S F E Tを提供することにある。

【構成】 ゲート絶縁膜に、比誘電率 ϵ と破壊電界Eとの積 ϵE が50MV/cmよりも大きい高誘電率材料よりなる膜、又は、高誘電率材料と膜厚100Å以下のSiO₂とよりなる複合積層膜を用い、チャネルが形成されるSi基板面の面方位を(110)とし、かつ、チャネル内を電界によって移動するキャリアは正孔となるようにした。高誘電率材料にはTa₂O₅又は(Ba_{1-x}Sr_x)TiO₃又はPbZr_{1-x}Ti_xO₃を用いる。

図1



6 … (110) 方位のSi基板

7 … 本発明に係る高誘電率材料よりなるゲート絶縁膜

8 … ゲート

9 … ソース

10 … ドレイン

【特許請求の範囲】

【請求項1】 Si基板表面上にゲート絶縁膜を介してゲート電極を配設し、このゲート電極に電圧を印加することによって、ゲート絶縁膜の下Si基板面にチャンネルが誘起され、チャンネルを隔てて対向するソース、ドレイン両電極間に電流が流れ制御されるMIS形電界効果トランジスタにおいて、ゲート絶縁膜に、比誘電率 ϵ と破壊電界Eとの積 ϵE が50MV/cmよりも大きい高誘電率材料よりなる膜を用い、且つ、チャンネルが形成されるSi基板面の面方位が(110)であって、チャンネル内を電界によって移動するキャリアは正孔となるように構成したことを特徴とするMIS形電界効果トランジスタ。

【請求項2】 ゲート絶縁膜は高誘電率材料と膜厚100Å以下のSiO₂とよりなる複合積層膜であることを特徴とする請求項1記載のMIS形電界効果トランジスタ。

【請求項3】 高誘電率材料はTa₂O₅又は(Ba_{1-x}Sr_x)TiO₃又はPbZr_{1-x}Ti_xO₃であることを特徴とする請求項1記載のMIS形電界効果トランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ゲート絶縁膜に用いる絶縁材料を吟味して、ゲートの駆動能力を高めたMIS形電界効果トランジスタ（以後MISFETと呼ぶ）に関する。

【0002】

【従来の技術】 従来の技術によるMISFETの例には、図6に示すようなものがある。この図はゲート絶縁膜IにSi酸化膜Oを用いたn形のMOSFETを示しており、その構成を説明すると、p形で(100)方位を有するSi基板1の表面上に、熱酸化法などにより所定厚みのSiO₂膜2が形成されており、このゲート絶縁膜の上に多結晶Siなどで形成されたゲート3が配設されている。ゲート3の下チャンネルが誘起される部分を挟んで、n形のソース4とドレイン5が対向してSi基板1の表面に形成されている。

【0003】 ゲート3に電圧を印加すると、ゲート電界によってゲート3直下のSi基板1の面に電子が集まってチャンネルを形成する。このチャンネルを通してドレイン電流が流れる。このときの抵抗は、チャンネル中の電子の移動度によって決まる。Si基板は、(100)方位の面の電子の移動度が最も高いので、従来からSi基板1の(100)方位の面にチャンネルを形成させることが行われていた。しかし、チャンネルの抵抗は、移動度の他にゲート電界の関数にもなっており、ゲート電界が高いほど抵抗が小さくなる。従って、チャンネル抵抗を小さくするにはゲート電界と移動度の双方の影響を勘案しなければならない。実際には、ゲート電界が強くなると、表面

拡散の影響を受けて電子の移動度が低下する。図2は、縦軸に移動度をcm²/Vsで、横軸に実効垂直電界をMV/cmで現わして、移動度と実効垂直電界との関係を示す図である。但し、実効垂直電界E_{eff}は次式によって表され、ゲート電界E_{ox}の一次関数になっている。

【0004】

【数1】

$$E_{\text{eff}} = \frac{Q_d}{\epsilon_{\text{Si}} \epsilon_0} - \eta \frac{E_{\text{ox}} V_{\text{th}}}{\epsilon_{\text{Si}} t_{\text{ox}}} + \eta \frac{\epsilon_{\text{ox}}}{\epsilon_{\text{Si}}} E_{\text{ox}} \quad \dots\dots (1)$$

【0005】 ここでQ_dは空乏層電荷、 ϵ_{Si} はSiの比誘電率(=11.9)、 ϵ_{ox} はSiO₂の比誘電率(=3.9)、 ϵ_0 は真空の比誘電率(=8.85×10⁻¹²F/m)、V_{th}は閾値電圧、t_{ox}はゲート酸化膜の厚みである。また η は定数で(100)方位の電子の場合では1/2、(110)方位の場合では1/3の値をとる。

【0006】 ゲート電界を高くすると実効垂直電界が高くなり、その結果、移動度が低下する。ゲート電界が高い場合には式(1)の右辺第1および第2項が第3項に比べて無視できるので次式が成立する。

【0007】

【数2】

$$E_{\text{eff}} \approx \eta \frac{\epsilon_{\text{ox}}}{\epsilon_{\text{Si}}} E_{\text{ox}} \quad \dots\dots (2)$$

【0008】 図2から(100)方位の面の電子の方が(110)方位の面の正孔よりも移動度が急激に低下することが判る。特に実効垂直電界が1.4MV/cm以上になると(110)方位の面の正孔の方が(100)方位の面の電子よりも移動度が高くなることが予想される。そこでチャンネルが形成される面の方位を(110)にすることが考えられる。

【0009】 なお、図2の出典は「ウルトラ・ロウ オン レジスタンス ピーチャネルラテラル ディーモス ファブリケイティッド オン (110) オリエンティッド シリコン サブストレイト」、クライソン トロンナムチャイ、デバイス リサーチ コンファレンス、1993、セッション ヴイエイ("Ultra-LowOn-Resistance P-channel Lateral DMOS Fabricated on (110)-Oriented SiSubstrate", K.Throngnumchai, Device Research Conference, 1993, sessionVA)である。

【0010】

【発明が解決しようとする課題】 先に図2に関連して、(110)方位のSi基板面での正孔の移動度は、実効垂直電界が高くなっても、(100)方位のSi基板面での電子の移動度のように急激には低下せず、実効垂直電界が1.4MV/cm以上になると、(110)方位のSi基板面での正孔の移動度の方が、(100)方位のSi基板面での電子の移動度よりも高くなり、(110)方位のSi基板面での正孔の移動度が高いことを利用したFETが考えられると述べたが、Si酸化膜の誘

電率は3.9であって比較的小さく、外部から高い電界を印加した場合、誘電分極によって内部の電界が十分に低くならない。また、Si酸化膜の破壊電界Eは10 MV/cm程度である。すなわち、(110)方位のSi基板表面での実効垂直電界を、上記(2)式により計算して、

$$(1/3) \times (3.9/11.9) \times 10 = 1 \text{ MV/cm}$$

以上に高めようとしても、Si酸化膜は実効垂直電界が1 MV/cm程度に達したところで絶縁破壊してしまうので、ゲート絶縁膜としてSi酸化膜を用いる限り、

(110)方位のSi基板面での正孔移動度が、(100)方位のSi基板面での電子移動度より高くなる現象を利用することはできないという問題が生ずることになる。

【0011】本発明は上記従来の問題を解決して、ゲートの駆動能力を高めたMISFETを提供することを課題とする。

【0012】

【課題を解決するための手段】上記課題を解決するため20に本発明においては、Si基板表面上にゲート絶縁膜を介してゲート電極を配設し、このゲート電極に電圧を印加することによって、ゲート絶縁膜の下Si基板面にチャンネルが誘起され、チャンネルを隔てて対向するソース、ドレイン両電極間に電流が流れ制御されるMISFETにおいて、ゲート絶縁膜に、比誘電率 ϵ と破壊電界Eの積 ϵE が50 MV/cmよりも大きい高誘電率材料よりなる膜を用い、且つ、チャンネルが形成されるSi基板面の面方位が(110)であって、チャンネル内を電界によって移動するキャリアは正孔となるように構成することにした。なお、ゲート絶縁膜として、高誘電率材料と膜厚100 Å以下のSiO₂とよりなる複合積層膜を用いても良い。このような高誘電率材料として、Ta₂O₅または(Ba_{1-x}Sr_x)TiO₃またはPb(Zr_{1-x}Ti_x)O₃を用いる。

【0013】

【作用】ゲート絶縁膜として上記のような高誘電率材料よりなる膜を用いれば、外部から電界を印加したとき誘電分極によってゲート絶縁膜内部の電界が小さくなり、その値が其の高誘電率材料の破壊電界より小さければ絶縁破壊に至らない。したがって、従来のようにゲート電極の効きを良くするためにゲート絶縁膜の膜厚を製作が困難になるほど薄くしなくても、ゲート絶縁膜を高誘電率材料で形成すれば、ゲートの駆動能力を相当に高くすることができる。このようにすれば、実効垂直電界が1.4 MV/cmよりも高い領域では、Si基板の(110)方位の面内での正孔の移動度の方が(100)方位の面内での電子の移動度よりも高くなるという現象を利用したFETの製作を実現することが出来るようになる。

【0014】

【実施例】以下、この発明を図面に基づいて更に詳細に説明する。図1は本発明の第1実施例図である。まず構成を説明すると、n形を有する(110)方位のSi基板6の表面上に、CVD法などによって、所定の厚みを有するTa₂O₅よりなるゲート絶縁膜7が形成され、更に、このゲート絶縁膜の上に、多結晶Siなどよりなるゲート8が形成されている。また、Si基板6の表面上に、ゲート絶縁膜7の下チャンネルとなる部分を挟んで、p形のソース8とドレイン9が相対向して形成されている。なお、此の図では、断面にハッチングを施すと、かえって見難くなるのでハッチングを省略した。以後の各図についても同様である。

【0015】既に図2について説明したように、Si基板の面方位が(110)のものを用い、ゲート絶縁膜を介して高い電界を印加することによって、正孔の移動度を、Si基板の面方位が(100)の場合の電子の移動度よりも大きくすることができる。また文献「インフレンス オブ SiO₂ アット ザ Ta₂O₅/Si インタフェイス オン ダイエレクトリック キャラクタリスティクス オブ Ta₂O₅ キャパシタズ」("Influence of SiO₂ at the Ta₂O₅/Si interface on dielectric characteristics of Ta₂O₅ capacitors")、ワイ、ニシオカ、エチ、シンリキ アンド ケイ、ムカイ、ジャーナル オブ アプライドフィジクス(J. Appl. Phys.), No 61, 巻6、3月15日、1987年刊の頁2335~2338によると、Ta₂O₅の比誘電率 ϵ は22で、また破壊電界Eと ϵ との積 ϵE は120 MV/cmである。従ってゲート絶縁膜にTa₂O₅を用いれば、実効垂直電界E_{eff}を最大 $(1/3) \times (120/11.9) = 3.4 \text{ MV/cm}$ まで高くできる。その結果、(110)方位のSi基板面上での正孔の移動度を、(100)方位のSi基板面上での電子の移動度より高くできる。

【0016】以上、ゲート絶縁膜をTa₂O₅で形成した例について説明してきたが、高誘電率材料はTa₂O₅に限定されるわけではない。 ϵE の積が50 MV/cm以上であれば他の誘電体材料でも同様な効果を得ることができる。そのような材料としては、たとえばBSTと呼ばれる(Ba_{1-x}Sr_x)TiO₃やPZTと呼ばれるPb(Zr_{1-x}Ti_x)O₃などの高誘電率材料がある。

【0017】以上のような単層膜以外に、例えばその膜厚が100 Å以下の薄いSiO₂膜とTa₂O₅などの高誘電率材料との複合積層膜がある。文献フィジクス オブセミコンダクタ デバイス(Physics of Semiconductor Devices)、第2版、S. M. Sze著、ジョンワイリー アンド ソンズ(John Wiley & Sons)、1981年刊、406頁によると、100 Å以下の薄いSiO₂膜の破壊電界は20 MV/cm程度である。その結

果、薄い SiO_2 膜の ϵE は $78\text{MV}/\text{cm}$ となる。高誘電率材料との複合積層膜を形成した場合、ほとんどの電界が比誘電率の小さい薄い SiO_2 膜に印加されるために複合膜としての ϵE は薄い SiO_2 膜の ϵE にほぼ等しくなる。その結果、複合膜の ϵE を $50\text{MV}/\text{cm}$ より大きくできる。また、薄い SiO_2 の単層膜の場合では、トンネル効果によってゲートのリーク電流が増大するという問題が生ずるが、複合積層膜にすることによって、トンネル効果を抑制することができる。

【0018】図3は本発明の第2実施例図である。この実施例は、本発明を縦形二重拡散MISFETまたはIGBTに適用した例である。その構造を説明すると、ドレイン11を形成させる(110)方位の Si 基板面上に、ドリフト領域12となる領域がエピタキシャル法などで形成されている。ドリフト領域12上に Ta_2O_5 などの高誘電率材料または厚さ 100\AA 以下の薄い SiO_2 膜と高誘電率材料の複合膜からなるゲート絶縁膜13を介してゲート14が形成されている。さらに二重拡散法によってボディ領域15とソース領域16が形成される。ドレイン11がp形ならば、図示したものはMISFETとなり、ドレイン11がn形ならば電導度変調形電界効果トランジスタ(IGBT)となる。

【0019】第2実施例では第1実施例の場合と同様に、ゲート絶縁膜の ϵE を $50\text{MV}/\text{cm}$ にできるために、(110)方位の Si 基板面での正孔移動度を、(100)方位の Si 基板面での電子移動度よりも大きくできる。

【0020】また、図4は本発明の第3実施例図であるが、この実施例は本発明を横形二重拡散MISFETに適用したものである。

【0021】図5は本発明の第4実施例図であって、この実施例は本発明をU溝形MISFETに適用したものである。特に図5に示すように、U溝形MISFETに適用した場合、チャネルが形成される溝の側面を(110)方位にすれば良いので、基板としては従来の表面が(100)方位の Si 基板を用いても差支えない。

【0022】上記各実施例のほか、本発明を集積回路で

用いられるCMOS構造に適用することもできる。

【0023】

【発明の効果】以上説明してきたように、この発明によれば、その構成を、チャネルが形成される Si 基板面の方位を(110)にするとともに、ゲート絶縁膜材料として、 Ta_2O_5 などの高誘電率材料または厚さ 100\AA 以下の SiO_2 膜と高誘電率材料との複合膜などのように比誘電率と破壊電界の積が $50\text{MV}/\text{cm}$ 以上の材料を用いることにしたため、従来から用いられて来た面方位(100)の Si 基板面での電子の移動度よりも、正孔の移動度を大きくすることが可能となつて、その結果、オン抵抗、損失を小さくすることができる、すなわちゲートの駆動力を高めるという効果が得られる。

【図面の簡単な説明】

【図1】本発明の第1実施例の断面図である。

【図2】縦軸に移動度を cm^2/Vs で、横軸に実効垂直電界を MV/cm で現わして、移動度と実効垂直電界との関係を示す図である。

【図3】本発明の第2実施例の断面図である。

【図4】本発明の第3実施例の断面図である。

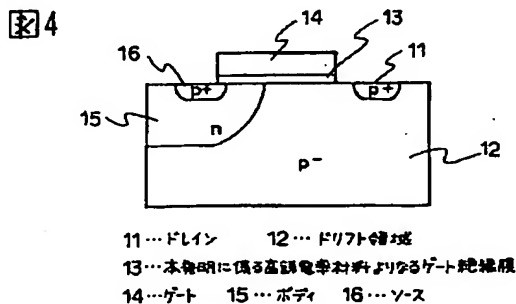
【図5】本発明の第4実施例の断面図である。

【図6】従来の技術によるMISFETの例(ゲート絶縁膜Iに Si 酸化膜Oを用いたn形のMOSFETの例)を示す図である。

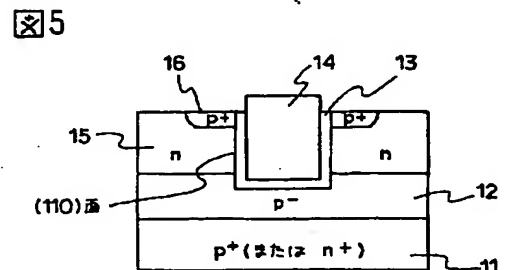
【符号の説明】

- | | |
|---------------------------|----------------------------|
| 1…(100)方位の Si 基板 | 2… SiO_2 膜 |
| 3…ゲート | 4…ソース |
| 5…ドレイン | 6…面方位(110)の Si 基板 |
| 7…本発明に係る高誘電率材料よりなるゲート絶縁膜 | |
| 8…ゲート | 9…ソース |
| 10…ドレイン | 11…ドレイン |
| 12…ドリフト領域 | |
| 13…本発明に係る高誘電率材料よりなるゲート絶縁膜 | |
| 14…ゲート | 15…ボディ |
| 16…ソース | |

【図4】

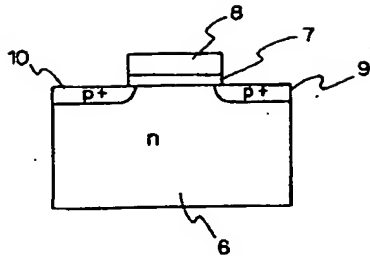


【図5】



【図1】

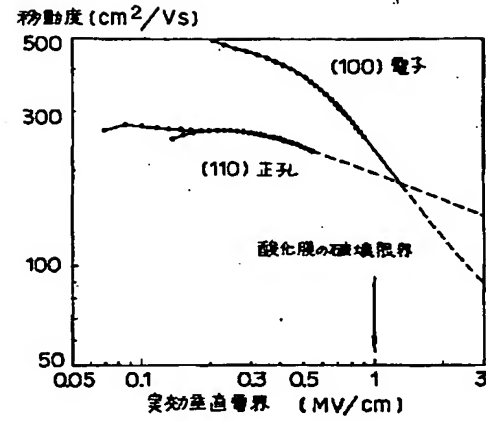
図1



- 6... (110) 方位のSi基板
 7... 本発明に係る高誘電率材料によるゲート絶縁膜
 8... ゲート
 9... ソース
 10... ドレイン

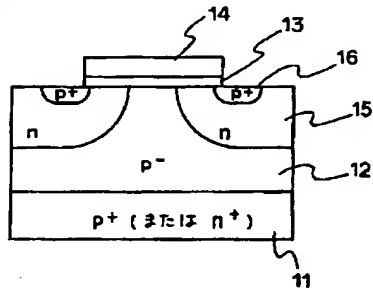
【図2】

図2



【図3】

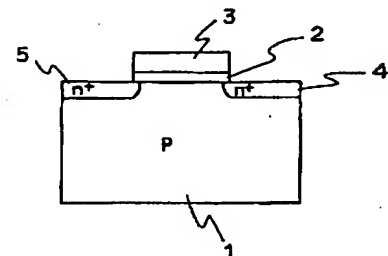
図3



- 11... ドレイン
 12... ドリフト領域
 13... 本発明に係る高誘電率材料によるゲート絶縁膜
 14... ゲート
 15... ボディ
 16... ソース

【図6】

図6



- 1... (100) 方位のSi基板
 2... SiO₂膜
 3... ゲート
 4... ソース
 5... ドレイン

BEST AVAILABLE COPY